

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 1 2 月 5 日
Date of Application:

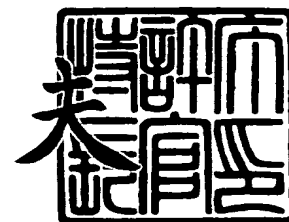
出 願 番 号 特 願 2 0 0 2 - 3 5 3 3 3 8
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 3 5 3 3 3 8]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0425801

【提出日】 平成14年12月 5日

【あて先】 特許庁長官殿

【国際特許分類】 G09G 3/00

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 中島 章

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

 【氏名又は名称】 大淵 美千栄

 【電話番号】 03-5397-0891

【手数料の表示】**【予納台帳番号】** 039491**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 9402500**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 電子装置及びその製造方法並びに電子機器

【特許請求の範囲】

【請求項 1】 重ならないように配列されて相互に固定された、異なる機能を果たす複数種類の半導体チップによって少なくとも一部が構成された回路基板と、

前記回路基板の上方に形成された複数の動作素子と、
を有する電子装置。

【請求項 2】 請求項 1 記載の電子装置において、
前記複数種類の半導体チップは、グループをなす第 1 の半導体チップと、グループをなす第 2 の半導体チップと、を含み、

前記第 1 の半導体チップは、前記複数の動作素子を駆動する第 1 の回路を有し、
前記第 2 の半導体チップは、前記第 1 の回路を制御するための第 2 の回路を有する電子装置。

【請求項 3】 請求項 2 記載の電子装置において、
前記第 1 の半導体チップは、複数行複数列をなすように配列され、
それぞれの列には、いずれか 1 つの前記第 2 の半導体チップがさらに配列されてなる電子装置。

【請求項 4】 請求項 3 記載の電子装置において、
前記第 1 の半導体チップの前記第 1 の回路は、それぞれ、同じ列に並ぶ前記第 2 の半導体チップの前記第 2 の回路によって制御される電子装置。

【請求項 5】 請求項 2 から請求項 4 のいずれかに記載の電子装置において、
少なくとも 1 つの前記第 1 の半導体チップは、入力された信号を増幅して出力するバッファを有する電子装置。

【請求項 6】 請求項 1 から請求項 5 のいずれかに記載の電子装置において、

前記回路基板と前記複数の動作素子との間に配線層をさらに有する電子装置。

【請求項 7】 請求項 6 記載の電子装置において、

前記配線層は、相互に交差しない複数の第 1 の配線と、相互に交差しない複数の第 2 の配線と、を有し、

前記第 1 及び第 2 の配線は、立体交差して格子状に形成されてなる電子装置。

【請求項 8】 請求項 7 記載の電子装置において、

前記第 1 及び第 2 の配線には、それぞれ、前記第 1 の半導体チップで使用される電圧のうち電位差が最も大きい 2 つの電圧のいずれか一方が印加される電子装置。

【請求項 9】 請求項 1 から請求項 8 のいずれかに記載の電子装置において、

前記複数の動作素子は、それぞれの前記第 1 の半導体チップの外側に配置された第 1 の動作素子と、いずれかの前記第 1 の半導体チップとオーバーラップするように配置された第 2 の動作素子と、からなり、

それぞれの前記第 1 の半導体チップは、その周縁部に配置されて前記第 1 の動作素子と電氣的に接続される第 1 のコンタクト部と、前記周縁部を除いた中央部に配置されて前記第 2 の動作素子と電氣的に接続される第 2 のコンタクト部と、を有する電子装置。

【請求項 10】 請求項 9 記載の電子装置において、

それぞれの前記第 2 の動作素子は、いずれか 1 つの前記第 2 のコンタクト部とオーバーラップするように配置されてなる電子装置。

【請求項 11】 請求項 1 から請求項 10 のいずれかに記載の電子装置において、

それぞれの前記動作素子は、複数の発光色の発光層のいずれか 1 つを有する電子装置。

【請求項 12】 請求項 1 から請求項 11 のいずれかに記載の電子装置を有する電子機器。

【請求項 13】 異なる機能を果たす複数種類の半導体チップを、重ならないように配列し、樹脂によって相互に固定して、回路基板の少なくとも一部を構

成すること、及び、

前記回路基板の上方に複数の動作素子を形成すること、
を含む電子装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子装置及びその製造方法並びに電子機器に関する。

【0002】

【従来の技術】

【0003】

【特許文献1】

特開 2001-332383 号公報

【0004】

【発明の背景】

エレクトロルミネセンスパネルや液晶パネルのような電子装置で、アクティブマトリクス駆動方式を適用する場合、各画素には、動作素子（発光素子又は液晶素子）と、これを駆動するための回路（スイッチ等）が設けられる。また、スイッチを薄膜トランジスタによって構成することも知られている。しかしながら、薄膜トランジスタは、集積回路チップに形成されたトランジスタほどの特性を得ることが難しい。このように、従来、特性において優れた回路基板を得ることは難しかった。

【0005】

本発明の目的は、特性において優れた回路基板を有する電子装置及びその製造方法並びに電子機器を提供することにある。

【0006】

【課題を解決するための手段】

（1）本発明に係る電子装置は、重ならないように配列されて相互に固定された、異なる機能を果たす複数種類の半導体チップによって少なくとも一部が構成された回路基板と、

前記回路基板の上方に形成された複数の動作素子と、

を有する。本発明によれば、半導体チップによって回路基板の少なくとも一部が構成され、異なる機能を果たす半導体チップが混載されるので、特性に優れた回路基板を有する電子装置が得られる。

(2) この電子装置において、

前記複数種類の半導体チップは、グループをなす第1の半導体チップと、グループをなす第2の半導体チップと、を含み、

前記第1の半導体チップは、前記複数の動作素子を駆動する第1の回路を有し、

前記第2の半導体チップは、前記第1の回路を制御するための第2の回路を有してもよい。

(3) この電子装置において、

前記第1の半導体チップは、複数行複数列をなすように配列され、

それぞれの列には、いずれか1つの前記第2の半導体チップがさらに配列されていてもよい。

(4) この電子装置において、

前記第1の半導体チップの前記第1の回路は、それぞれ、同じ列に並ぶ前記第2の半導体チップの前記第2の回路によって制御されてもよい。

(5) この電子装置において、

少なくとも1つの前記第1の半導体チップは、入力された信号を増幅して出力するバッファを有してもよい。

(6) この電子装置において、

前記回路基板と前記複数の動作素子との間に配線層をさらに有してもよい。

(7) この電子装置において、

前記配線層は、相互に交差しない複数の第1の配線と、相互に交差しない複数の第2の配線と、を有し、

前記第1及び第2の配線は、立体交差して格子状に形成されていてもよい。

(8) この電子装置において、

前記第1及び第2の配線には、それぞれ、前記第1の半導体チップで使用され

る電圧のうち電位差が最も大きい 2 つの電圧のいずれか一方が印加されてもよい。

(9) この電子装置において、

前記複数の動作素子は、それぞれの前記第 1 の半導体チップの外側に配置された第 1 の動作素子と、いずれかの前記第 1 の半導体チップとオーバーラップするように配置された第 2 の動作素子と、からなり、

それぞれの前記第 1 の半導体チップは、その周縁部に配置されて前記第 1 の動作素子と電氣的に接続される第 1 のコンタクト部と、前記周縁部を除いた中央部に配置されて前記第 2 の動作素子と電氣的に接続される第 2 のコンタクト部と、を有してもよい。

(10) この電子装置において、

それぞれの前記第 2 の動作素子は、いずれか 1 つの前記第 2 のコンタクト部とオーバーラップするように配置されていてもよい。

(11) この電子装置において、

それぞれの前記動作素子は、複数の発光色の発光層のいずれか 1 つを有してもよい。

(12) 本発明に係る電子機器は、上記電子装置を有する。

(13) 本発明に係る電子装置の製造方法は、異なる機能を果たす複数種類の半導体チップを、重ならないように配列し、樹脂によって相互に固定して、回路基板の少なくとも一部を構成すること、及び、

前記回路基板の上方に複数の動作素子を形成すること、

を含む。本発明によれば、半導体チップによって回路基板の少なくとも一部を構成し、異なる機能を果たす半導体チップを混載するので、特性に優れた回路基板を有する電子装置を得ることができる。

【0007】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。図 1 は、本発明の実施の形態に係る電子装置を説明する図である。電子装置は、表示装置（例えば表示パネル）などの電気光学装置や記憶装置であってもよい。図 1 に示す電子

装置は、有機 EL (Electroluminescence) 装置 (例えば有機 EL パネル) である。電子装置は、回路基板 1 を有する。

【0008】

図 2 (A) は、回路基板を示す図であり、図 2 (B) は、図 2 (A) の IIB-IIB 線断面図である。回路基板 1 の少なくとも一部は、複数の半導体チップ 10 によって構成されている。複数の半導体チップ 10 は、重ならないように配列されている。半導体チップ 10 の表面 (例えば集積回路が形成された面あるいは電極が形成された面) にはパッシベーション膜が形成されていてもよい。複数の半導体チップ 10 は、相互に固定されている。その固定は、樹脂 (又は接着剤) によって行ってもよい。少なくとも隣同士の半導体チップ 10 の間には、固定部 14 が形成されている。固定部 14 は、全ての半導体チップ 10 を囲むように形成されていてもよい。固定部 14 の表面は、半導体チップ 10 の表面と面一になっていてもよいし、段が形成されていてもよい。固定部 14 は、絶縁体で形成してもよい。

【0009】

複数の半導体チップ 10 は、複数行複数列で (あるいはマトリクス状に) 並べられてもよい。半導体チップ 10 は、外部との電氣的接続のための部分 (例えば第 1 ~ 第 4 のコンタクト部 21 ~ 24) が形成された面にパッシベーション膜が形成されていてもよい。また、外部との電氣的接続のための部分は、全て、同じ面に形成されていてもよい。

【0010】

複数の半導体チップ 10 は、複数の種類に分類することができ、種類に応じて異なる機能を果たす。複数種類の半導体チップ 10 は、グループをなす第 1 の半導体チップ 11 と、グループをなす第 2 の半導体チップ 12 と、を含んでもよい。第 1 の半導体チップ 11 は、複数行複数列をなすように配列されてもよい。第 1 の半導体チップ 11 のそれぞれの列に、いずれか 1 つの第 2 の半導体チップ 12 がさらに配列されてもよい。

【0011】

第 1 の半導体チップ 11 は、複数の動作素子を駆動する第 1 の回路 16 (図 9

参照)を有していてもよい。第2の半導体チップ12は、第1の回路16を制御するための第2の回路18(図9参照)を有していてもよい。列をなす第1の半導体チップ11の第1の回路16は、それぞれ、同じ列に並ぶ第2の半導体チップ12の第2の回路18によって制御されてもよい。

【0012】

図3は、図2(A)に示す回路基板の一点鎖線で囲んだ部分の拡大図である。図3には、第1の半導体チップ11が示されている。第1の半導体チップ11は、その周縁部に配置されて第1の動作素子64(図7参照)と電氣的に接続される第1のコンタクト部21を有していてもよい。第1の半導体チップ11は、中央部(周縁部を除いた部分)に配置されて第2の動作素子66(図7参照)と電氣的に接続される第2のコンタクト部22を有していてもよい。第1及び第2のコンタクト部21、22の少なくとも一方は、コンタクトホールであってもよい。

【0013】

第1の半導体チップ11は、第3及び第4のコンタクト部23、24の少なくとも一方をさらに有していてもよい。第3及び第4のコンタクト部23、24には、それぞれ、第1の半導体チップ11で使用される電圧のうち最も電位差が大きい2つの電圧(例えば電源電圧及び接地電圧)のいずれか一方が印加されるようになっていてもよい。第3及び第4のコンタクト部23、24の少なくとも一方は、第1及び第2のコンタクト部21、22よりも大きくなるように(例えば径又は幅が大きくなるように)形成してもよい。なお、第2の半導体チップ12も、第3及び第4のコンタクト部23、24を有していてもよい。

【0014】

図1に示すように、電子装置は、少なくとも1層(本実施の形態では複数層)からなる配線層2を有する。配線層2は、回路基板1上に形成されている。配線層2は、回路基板1と複数の動作素子60との間に形成されている。

【0015】

図4～図5は、それぞれ、配線層の構造を下から順に説明する図である。図4は、配線層の最下層を示す図である。配線層2の最下層は、配線パターン30を

含む。配線パターン 30 は、半導体チップ 10（第 1 及び第 2 の半導体チップ 11, 12）及び固定部 14 上に形成されている。配線パターン 30 は、複数の配線 32 を有する。各配線 32 は、いずれかの第 1 のコンタクト部 21 に電氣的に接続され、いずれかの第 1 の動作素子 64（図 7 参照）の下方位置まで延びている。配線パターン 30 は、複数の配線 34 を有する。配線 34 は、行列をなす半導体チップ 10 のうち、いずれかの列において、隣同士の第 1 の半導体チップ 11 あるいは第 1 及び第 2 の半導体チップ 11, 12 を電氣的に接続してもよい。配線パターン 30 は、相互に交差しない（例えば平行に延びる）複数の第 1 の配線 36, 38 を有する。第 1 の配線 36, 38 は、半導体チップ 10（例えば第 1 及び第 2 の半導体チップ 11, 12）を避けて形成してもよい。第 1 の配線 36, 38 は、固定部 14 上に形成してもよい。第 1 の配線 36, 38 は、交互に配置されている（図 6 参照）。第 1 の配線 36, 38 は、他の層の配線を介して、第 1 及び第 2 の半導体チップ 11, 12 と電氣的に接続されていてもよい。第 1 の配線 36, 38 は、他の配線 32, 34 よりも広い幅を有するように形成されていてもよい。

【0016】

図 5 に示すように、配線パターン 30 上には絶縁層 40 が形成されている。絶縁層 40 上には、複数の第 2 の配線 42, 44 が形成されている。第 2 の配線 42, 44 は、相互に交差しない（例えば平行に延びる）ように形成されている。第 2 の配線 42, 44 は、交互に配置されている（図 6 参照）。第 2 の配線 42, 44 は、他の配線よりも広い幅を有するように形成されていてもよい。第 2 の配線 42, 44 は、半導体チップ 10（例えば第 1 及び第 2 の半導体チップ 11, 12）上を通るように形成されていてもよい。第 1 及び第 2 の配線 36, 38, 42, 44 は、立体交差して格子状に形成されていてもよい（図 6 参照）。

【0017】

図 6 は、第 1 及び第 2 の配線 36, 38, 42, 44 の接続状態を説明する図である。1 つの第 1 の配線 36 と 1 つの第 1 の配線 38 には、それぞれ、例えば、半導体チップ 10 で使用される電圧のうち最も電位差が大きい 2 つの電圧（例えば電源電圧及び接地電圧）のいずれか一方が印加されるようになっている。ま

た、複数の第1の配線36は、第2の配線42を介して、相互に電氣的に接続されている。したがって、複数の第1の配線36は同電位となる。また、複数の第1の配線38は、第2の配線44を介して、相互に電氣的に接続されている。複数の第1の配線38は同電位となる。図5に示すように、第2の配線42、44は、それぞれ、第3及び第4のコンタクト部23、24に電氣的に接続されている。さらに、第2の配線42、44は、それぞれ、第1の配線36、38と電氣的に接続されている。

【0018】

本実施の形態によれば、上述した配線構造を有するので、半導体チップ10への電圧の複数の入力経路が形成されている。そのため、インピーダンスを下げることができ、どの半導体チップ10にも均一の電圧を印加することができる。

【0019】

図5に示すように、絶縁層40上には、配線46が形成されている。配線46は、いずれかの配線34と電氣的に接続されていてもよい。配線46、34は、立体交差するように形成されていてもよい。配線46は、行列をなす第1の半導体チップ11のうち、いずれかの行において、隣同士の第1の半導体チップ11を電氣的に接続してもよい。

【0020】

図1に示すように、電子装置は、複数の動作素子50を有する。動作素子50は、回路基板1の上方に形成されてなる。複数の動作素子50は、複数の発光色（例えば赤、緑、青）の複数の発光層52を有する。それぞれの動作素子50は、いずれか1つの発光色の発光層52を有する。発光層52を構成する材料は、ポリマー系材料又は低分子系材料あるいは両者を複合的に用いた材料のいずれであってもよい。発光層52は、電流が流れることで発光する。発光層52は、発光色に応じて、発光効率が異なってもよい。

【0021】

動作素子50は、第1及び第2のバッファ層54、56の少なくとも一方を有していてもよい。第1のバッファ層54は、発光層52への正孔注入を安定化させる正孔注入層であってもよいし、正孔注入層を有していてもよい。第1のバッ

ファ層 54 は、正孔輸送層を有していてもよい。正孔輸送層は、発光層 52 と正孔注入層との間に設けられてもよい。第 2 のバッファ層 56 は、発光層 52 への電子注入を安定化させる電子注入層であってもよいし、電子注入層を有していてもよい。第 2 のバッファ層 56 は、電子輸送層を有していてもよい。電子輸送層は、発光層 52 と電子注入層との間に設けられてもよい。隣同士の動作素子 50 は、バンク 58 によって区画（電氣的に絶縁）されている。

【0022】

電子装置は、複数の第 1 の電極 60 を有する。それぞれの第 1 の電極 60 は、いずれかの動作素子 50 に電気エネルギーを供給するためのものである。第 1 の電極 60 は、動作素子 50（例えば第 1 のバッファ層 54（例えば正孔注入層））に接触していてもよい。第 1 の電極 60 は、第 1 の配線 34 に電氣的に接続されてもよい。電子装置は、複数又は 1 つの第 2 の電極 62 を有する。第 2 の電極 62 は、動作素子 50 に電気エネルギーを供給するためのものである。第 2 の電極 62 は、動作素子 50（例えば第 2 のバッファ層 56（例えば電子注入層））に接触していてもよい。第 2 の電極 62 は、第 1 の電極 60 に対向する部分を有する。第 2 の電極 62 は、第 1 の電極 60 の上方に配置されてもよい。

【0023】

図 7 は、動作素子の配列を説明する図である。複数の動作素子 60 は、第 1 の半導体チップ 11 の外側に配置された第 1 の動作素子 64 と、第 1 の半導体チップ 11 とオーバーラップするように配置された第 2 の動作素子 66 と、からなる。第 1 の動作素子 64 は、配線 32 と電氣的に接続されている。第 1 の動作素子 64 は、第 1 のコンタクト部 21 から引き出された配線 32 とオーバーラップするように配置されている。第 2 の動作素子 66 は、いずれか 1 つの第 2 のコンタクト部 22 と電氣的に接続されている。第 2 の動作素子 66 は、いずれか 1 つの第 2 のコンタクト部 22 とオーバーラップするように配置されていてもよい。こうすることで、第 2 のコンタクト部 22 と第 2 の動作素子 66 の距離を短くすることができ、電圧降下を少なくすることができる。動作素子 60 の少なくとも一部が水分や酸素等によって劣化しやすい場合には、封止部材 84 によって動作素子 60 を保護してもよい。

【0024】

図8及び図9は、本実施の形態に係る電子装置の動作を説明する回路図である。図8に示すように、グループをなす第1の半導体チップ11の列に、1つの第2の半導体チップ12がさらに配列されている。1つの第2の半導体チップ12によって、これと同じ列の第1の半導体チップ11が制御され、第1の半導体チップ11によって動作素子50が駆動される。第1及び第2の半導体チップ11, 12は、第1の配線36, 38から電源を得られるようになっている。

【0025】

図9は、第1及び第2の半導体チップの動作を説明する回路図である。第1の半導体チップ11は、第1の回路16を有し、第2の半導体チップ12は、第2の回路18を有する。第1及び第2の回路16, 18の構成（素子の接続状態）は、図9に示す通りであり説明を省略する。本実施の形態では、第1の配線38を低電位（例えばグラウンド電位）に接続し、それよりも高電位に第1の配線36を接続する。配線（信号線）34には、電流 I_{data} が流れるようになっている。電流 I_{data} は、動作素子50に供給する電流に応じた信号である。配線（走査線）34には、選択信号が入力される。選択信号は、高電位のH信号又は低電位のL信号である。

【0026】

プログラミング期間では、例えば第1の配線36に電圧 V_{dd} が供給され、配線（信号線）34に電流 I_{data} が流れるようになっている。また、プログラミング期間では、配線（走査線）34にH信号が入力されて、スイッチング素子70、72がONになり、スイッチング素子76がOFFになる。そして、第1の配線36から、スイッチング素子74, 72を通して、配線（信号線）34に電流 I_{data} が流れると、スイッチング素子74の制御電圧（スイッチング素子74がMOSトランジスタである場合はゲート電圧）は、電流 I_{data} に対応した値になり、その制御電圧に応じた電荷がキャパシタ78に蓄えられる。

【0027】

動作期間（例えば発光期間）では、配線（走査線）34にL信号が入力されて、スイッチング素子70、72がOFFになり、スイッチング素子76がONに

なる。そして、プログラミング期間でキャパシタ 78 に蓄えられた電荷に応じた制御電圧（スイッチング素子 74 が MOS トランジスタである場合はゲート電圧）によってスイッチング素子 74 が制御（例えば ON）され、制御電圧に応じた電流が、第 1 の配線 36 からスイッチング素子 74, 76 を通って、動作素子 50 を流れるようになっている。なお、第 1 の回路 14 は、動作素子 50 ごとに設けられる。

【0028】

少なくとも 1 つの第 1 の半導体チップ 11 は、入力された信号を増幅して出力するバッファ 80 を有していてもよい。例えば、信号（例えば、選択信号やクロック信号等）を伝送する配線 34 にバッファ 80 を電氣的に接続し、増幅された入力信号を、さらに別の配線 34 によって、他の第 1 の半導体チップ 11 に出力してもよい。これによれば、信号の遅延や鈍り等の劣化を回避することができる。

【0029】

本実施の形態に係る電子装置の製造方法では、異なる機能を果たす複数種類の半導体チップ 10（例えば、第 1 及び第 2 の半導体チップ 11, 12）を、重ならないように配列する。これらの半導体チップ 10 を、例えば樹脂などによって相互に固定して、回路基板 1 の少なくとも一部を構成する。回路基板 1 の上方に複数の動作素子 50 を形成する。

【0030】

本実施の形態では、本発明を表示装置に適用した例を説明したが、本発明は他の電子装置にも適用可能である。例えば、動作素子として、発光素子及び受光素子を配列して、平面型イメージセンサ（その応用例としてフラット型コピー装置）を実現することができる。発光素子から、R, G, B の 3 原色の光を交互に又は同時に発光し、受光素子によって、各波長の光をその強度に応じて電気信号に変換してもよい。電気信号を処理して、元のイメージを再現することができる。あるいは、MEMS（Micro Electro Mechanical Systems）技術を利用して、マイクロアクチュエータを動作素子として配列してもよい。これにより、触感ディスプレイ、スピーカ、フェイズドアレイアンテナ等を構成することができる。

【 0 0 3 1 】

本発明の実施の形態に係る電子装置を有する電子機器として、図 1 0 にはノート型パーソナルコンピュータ 1 0 0 0 が示され、図 1 1 には携帯電話 2 0 0 0 が示されている。

【 0 0 3 2 】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図 1】 図 1 は、本発明の実施の形態に係る電子装置を説明する図である。

【図 2】 図 2（A）は、電子装置の回路基板を説明する図であり、図 2（B）は、図 2（A）の IIB-IIB 線断面図である。

【図 3】 図 3 は、第 1 の半導体チップ及びその周辺部を示す図である。

【図 4】 図 4 は、配線層を説明する図である。

【図 5】 図 5 は、配線層を説明する図である。

【図 6】 図 6 は、配線層の接続状態を説明する図である。

【図 7】 図 7 は、動作素子の配列を説明する図である。

【図 8】 図 8 は、電子装置の動作を説明する回路図である。

【図 9】 図 9 は、電子装置の動作を説明する回路図である。

【図 1 0】 図 1 0 は、本発明の実施の形態に係る電子機器を示す図である。

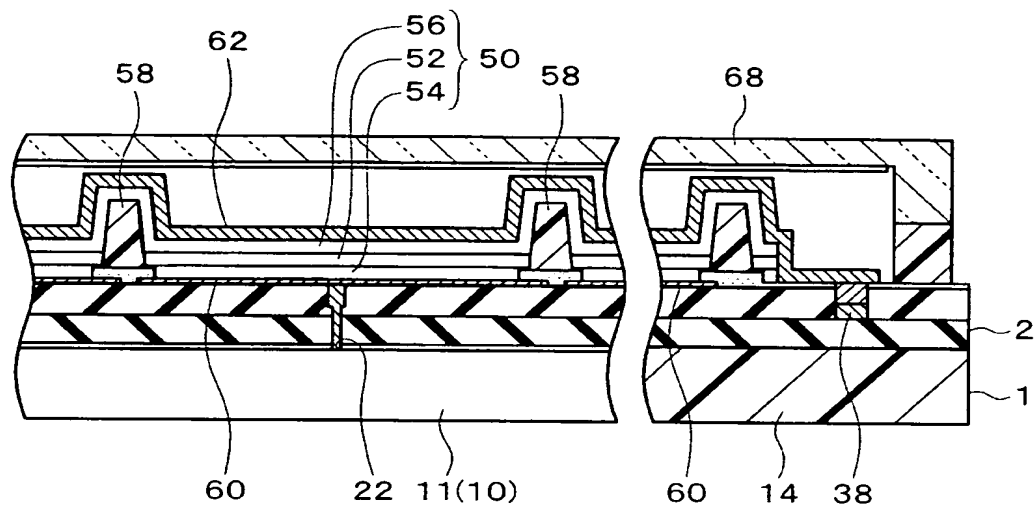
【図 1 1】 図 1 1 は、本発明の実施の形態に係る電子機器を示す図である。

【符号の説明】

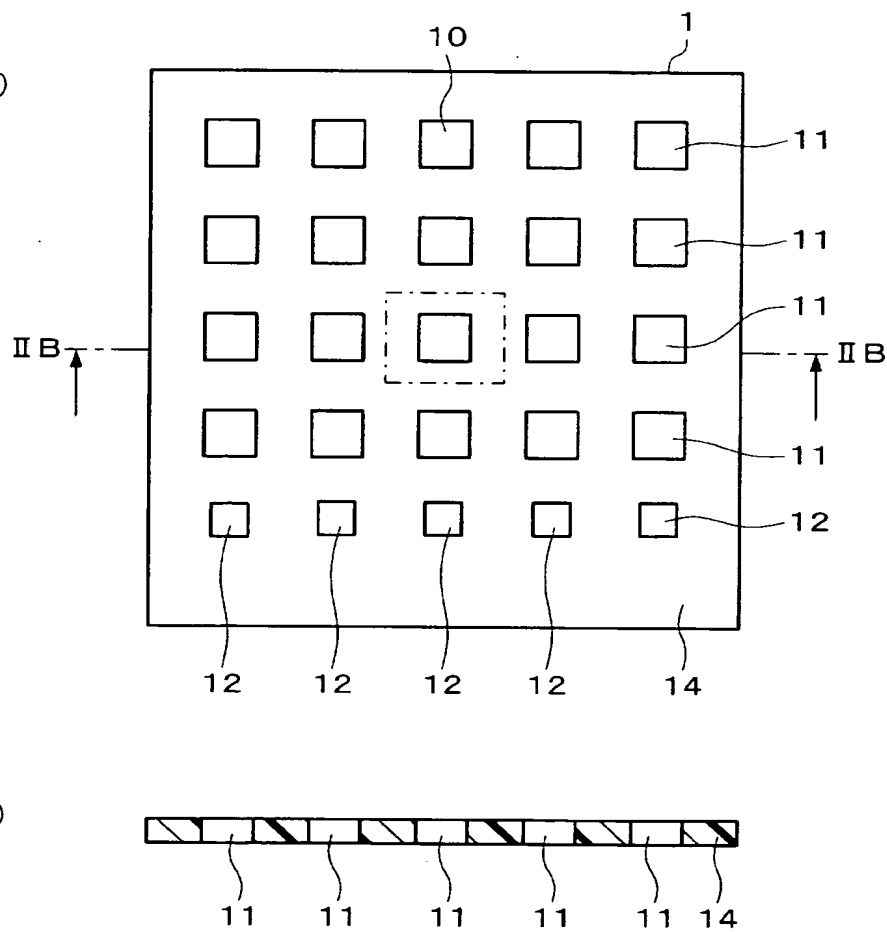
1 回路基板、 2 配線層、 1 0 半導体チップ、 1 1 第 1 の半導体チップ、 1 2 第 2 の半導体チップ、 1 6 第 1 の回路、 1 8 第 2 の回路、 2 1 第 1 のコンタクト部、 2 2 第 2 のコンタクト部、 3 6 , 3 8 第 1 の配線、 4 2 , 4 4 第 2 の配線、 5 0 動作素子

【書類名】 図面

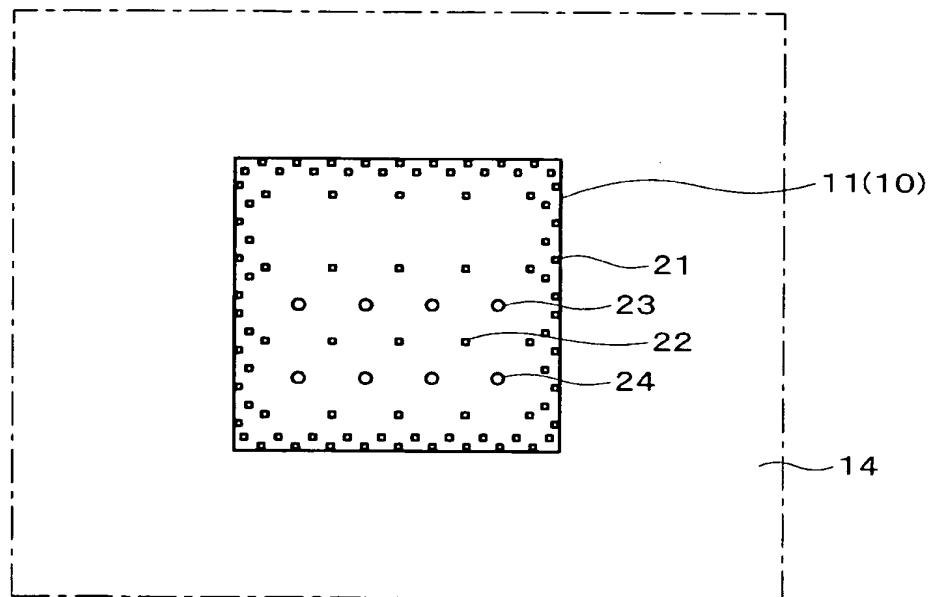
【図 1】



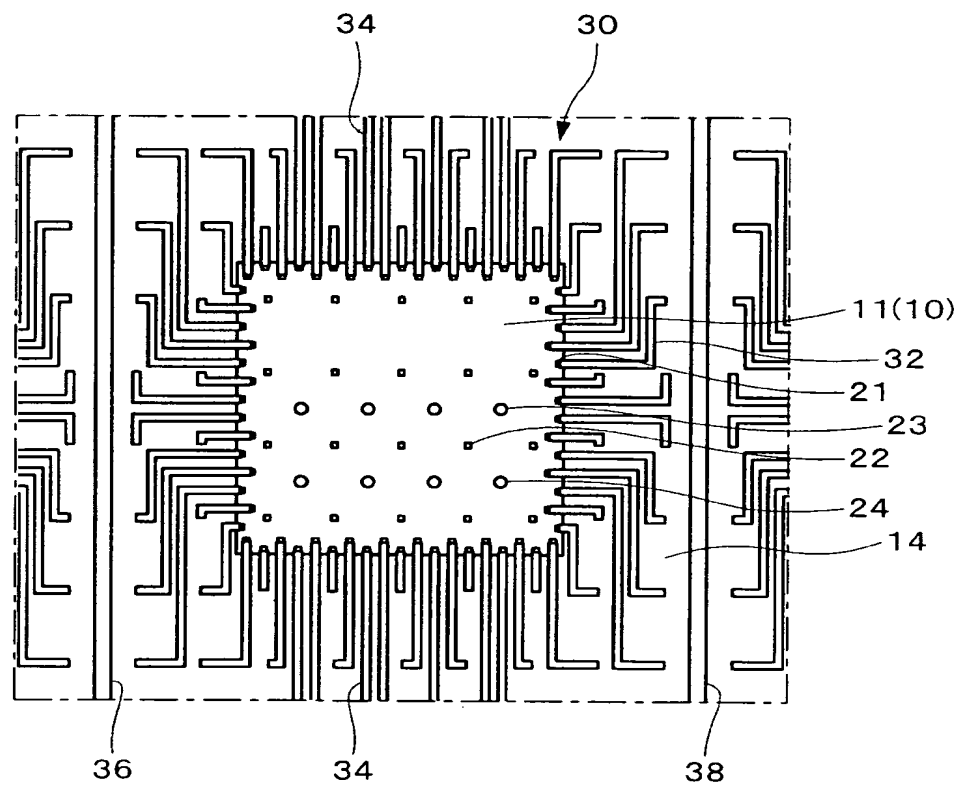
【図 2】



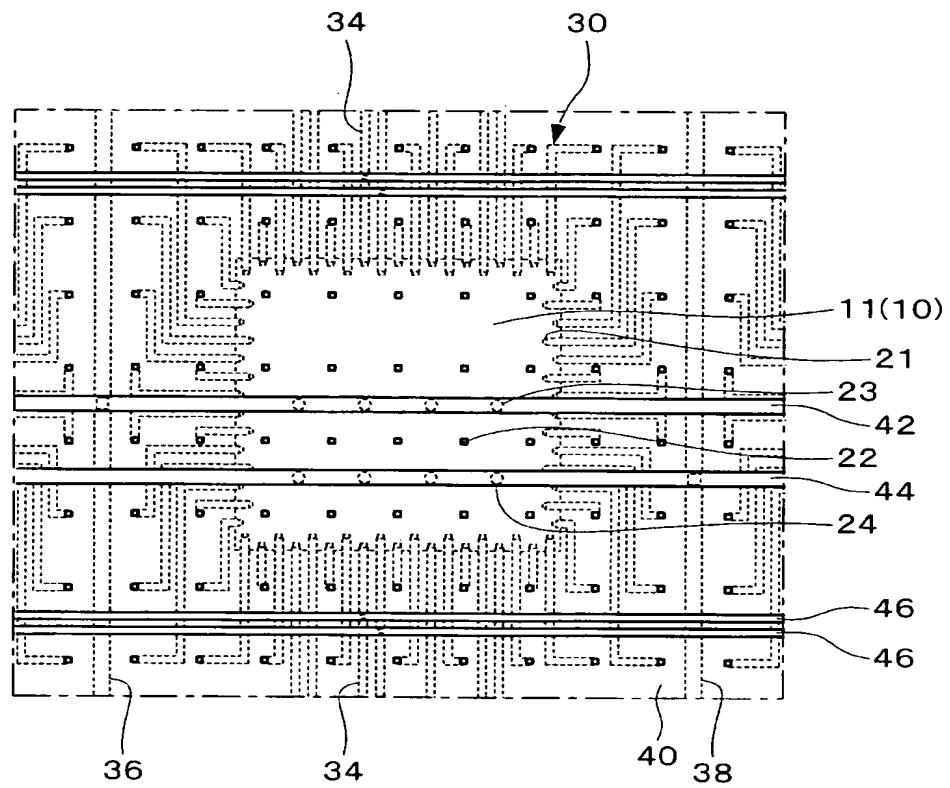
【図 3】



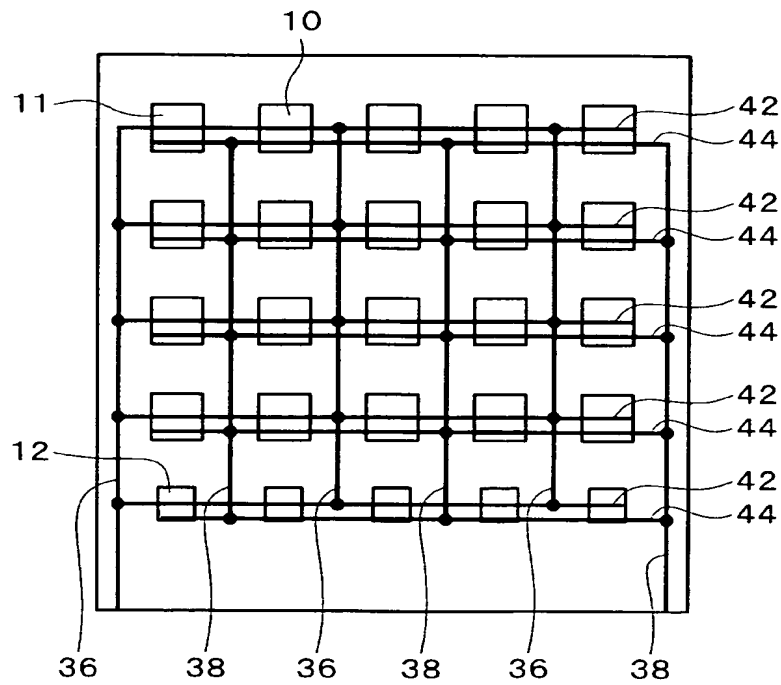
【図 4】



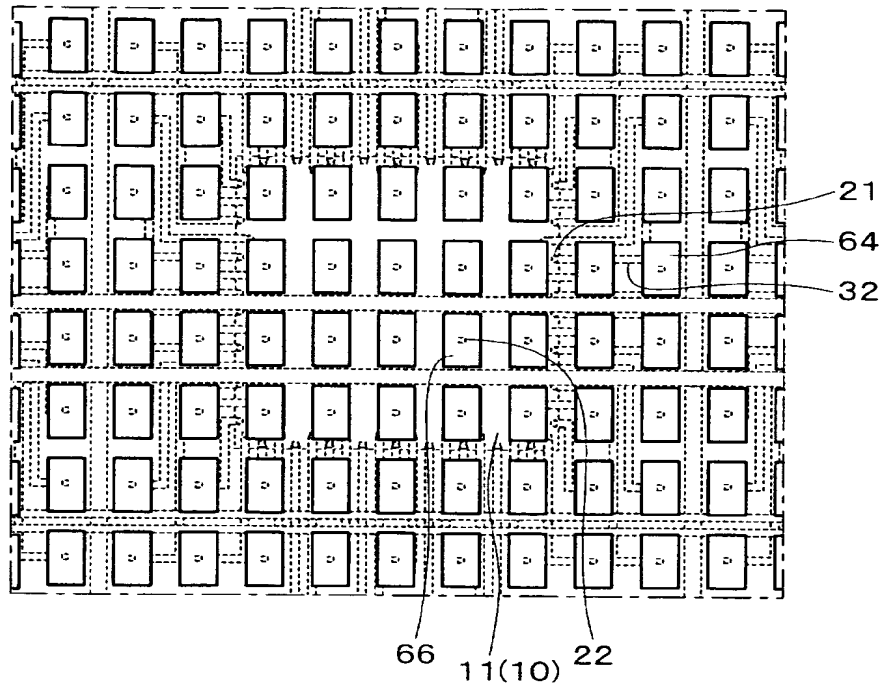
【図 5】



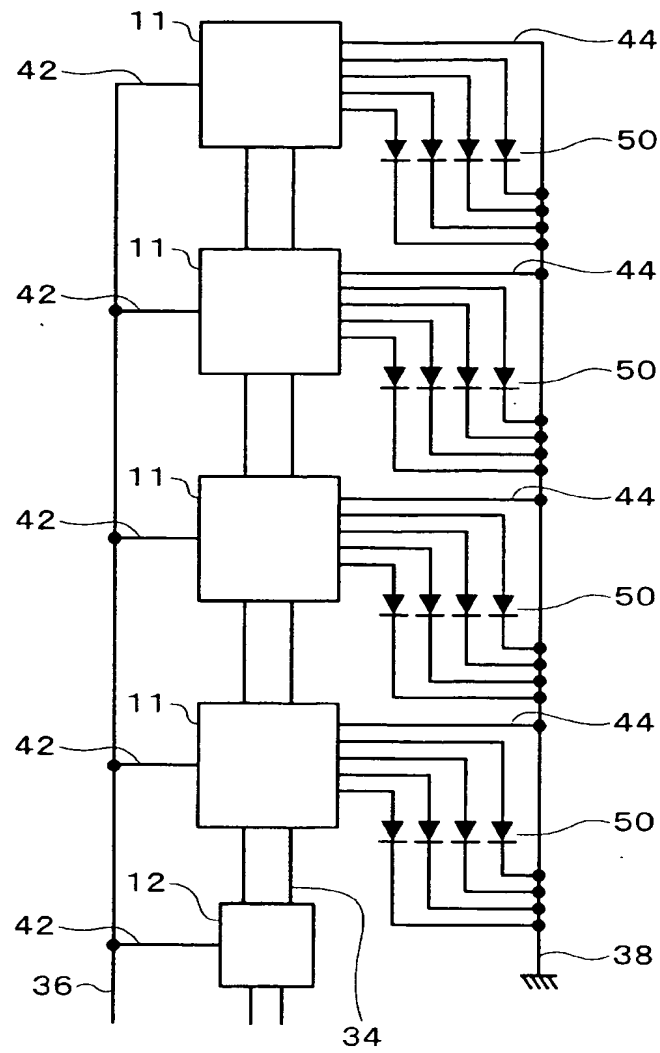
【図 6】



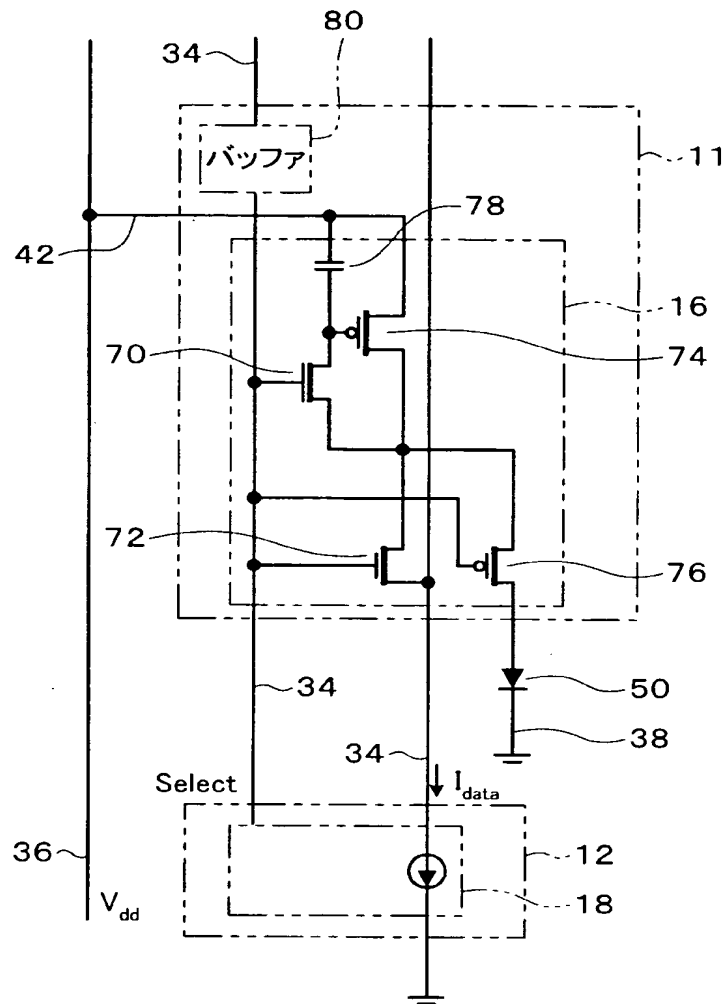
【図 7】



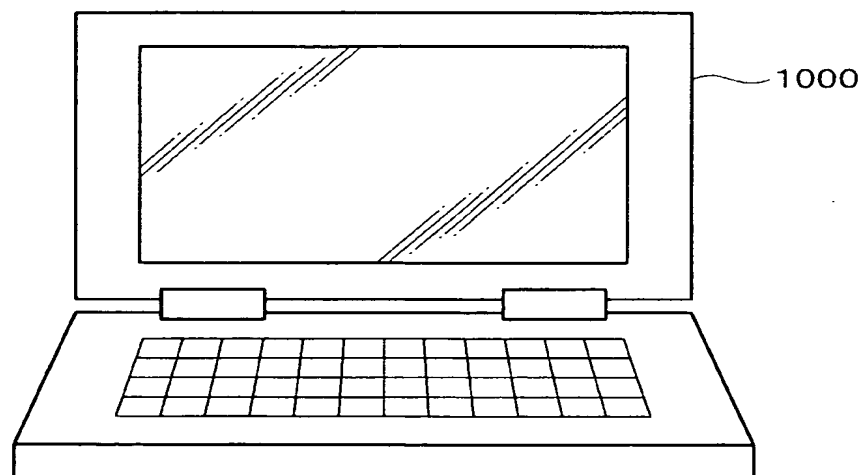
【図 8】



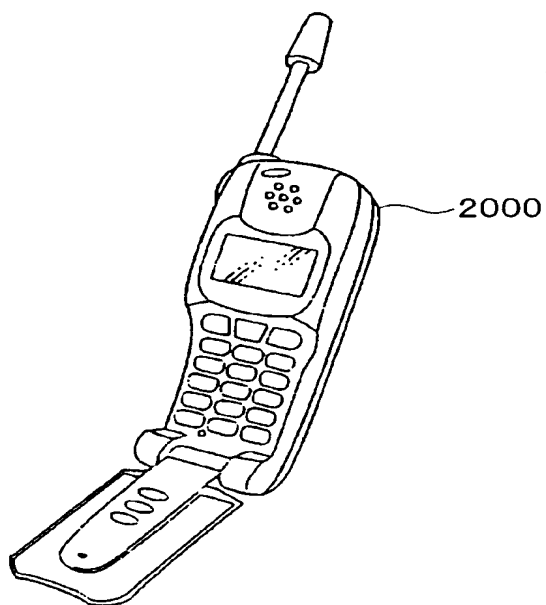
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 本発明の目的は、特性において優れた回路基板を有する電子装置及びその製造方法並びに電子機器を提供することにある。

【解決手段】 電子装置は、重ならないように配列されて相互に固定された、異なる機能を果たす複数種類の半導体チップ 1 0 によって少なくとも一部が構成された回路基板 1 と、回路基板 1 の上方に形成された複数の動作素子 5 0 と、を有する。

【選択図】 図 1

特願 2 0 0 2 - 3 5 3 3 3 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社